

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-149114

(43)公開日 平成8年(1996)6月7日

(51) Int.Cl.⁶

識別記号

片内整理番号

FI

技術表示箇所

H04L 1/22

H04J 3/14

H04L 7/00

Z

$$Z$$

審査請求 有 請求項の数 4 O L (全 8 頁)

(21)出願番号

特願平6-281046

(22) 出題日

平成6年(1994)11月16日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 浦下 敬一

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 力山 弘樹

東京都港区芝五丁目7番1号 日本電気株式会社内

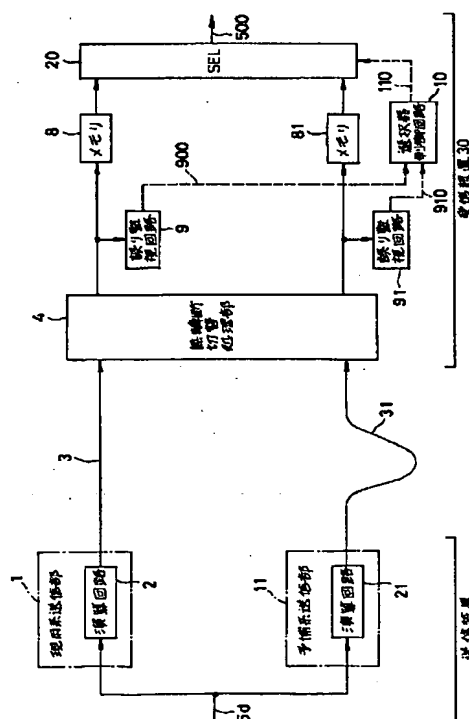
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 データ受信装置

(57) 【要約】

【目的】 受信データに誤りが発生してもデータ欠落が生じないか、生じても欠落を最小限に抑える。

【構成】 送信器 1、11 から夫々出力された同一のデータをバッファメモリ 5、51 に夫々保持し、フレーム同期回路 6、61 及び位相差検出回路 7 により両データの同期をとって夫々出力する。これら出力されたデータをメモリ 8、81 に夫々保持し、この夫々保持されたデータの誤りを誤り監視回路 9、91 で夫々検出する。この検出結果に応じて選択器 20 を制御し、保持されたデータを択一的に出力する。その夫々保持されたデータのうちのいずれか一方に誤りがあるとき、誤りのない方のデータを出力する。その夫々保持されたデータの両方に誤りがあるとき、誤りの少ない方のデータを出力する。



【特許請求の範囲】

【請求項1】 第1及び第2の送信器から夫々出力された同一のデータを夫々保持し、両データの同期をとって夫々出力する第1及び第2のデータ保持手段と、これら出力されたデータを夫々保持する第3及び第4のデータ保持手段と、この夫々保持されたデータの誤りを検出する誤り検出手段と、この検出結果に応じて前記第3及び第4のデータ保持手段からデータを出力するデータ出力手段とを含むことを特徴とするデータ受信装置。

【請求項2】 前記データ出力手段は、前記検出結果が前記第3及び第4のデータ保持手段に夫々保持されたデータのうちのいずれか一方に誤りがあることを示したとき、誤りのない方のデータを出力することを特徴とする請求項1記載のデータ受信装置。

【請求項3】 前記データ出力手段は、前記検出結果が前記第3及び第4のデータ保持手段に夫々保持されたデータの両方に誤りがあることを示したとき、誤りの少ない方のデータを出力することを特徴とする請求項1記載のデータ受信装置。

【請求項4】 前記データは、フレームデータであることを特徴とする請求項1～3のいずれかに記載のデータ受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータ受信装置に関し、特に時分割多重ディジタルデータの受信装置に関する。

【0002】

【従来の技術】 一般に、時分割多重ディジタル伝送においては、現用系及び予備系の二重化構成にすることによって伝送路の品質向上を図っている。この場合、現用系及び予備系の送信装置は共にある特定のフレーム同期パターンを有するフレームでデータを同時に各々の伝送路へ送出している。そして、この送出されたデータは受信装置にて夫々受信され、運用データとして選択され使用されている。

【0003】 図4は従来のディジタル伝送におけるデータ受信装置の構成を示すブロック図である。

【0004】 図において、現用系送信部1及び予備系送信部11からある特定のフレーム同期ビットを有するフレームでデータを同時に送出し、現用系伝送路3及び予備系伝送路31を介して受信部で受信したデータを、バッファメモリ5及び51に順次書込む。一方、フレーム同期回路6、61ではデータのフレーム同期を確立し、フレームの先頭位置を示すフレームパルス600、610を位相差検出回路7に送出する。

【0005】 位相差検出回路7は、受信した両系のフレームパルスから到着順に位相差を比較する。そして、出力制御信号700、710を送出することにより、バッファメモリ5とバッファメモリ51との出力位相が等しくなるようにバッファメモリからの出力タイミングを制

御する。

【0006】 以上により、伝送路選択器(SEL)20には、両系同位相となったデータが入力される。伝送路選択器20では制御信号110に応じてメモリ5の出力及びメモリ51の出力を択一的に送出する。この送出されたものが運用データ500である。

【0007】 ここで、現用系システムの保守等を行うために伝送路を切替える必要が生じた場合、伝送路選択器20は予備系を選択するが、伝送路選択器20への入力データの位相はすでに両系同位相となっているため、伝送路を切替えてもデータの欠落がなく、無瞬断切替を実現していた。

【0008】 同様に、現用系と予備系との無瞬断切替を行う技術が、特開昭63-98259号公報、特開平3-38128号公報、特開平4-49730号公報、特開平4-243335号公報等に記載されている。

【0009】

【発明が解決しようとする課題】 上述した従来のデータ受信装置においては、両系伝送路に障害のない状態で保守者が保守等の目的で強制的に伝送路の切替えを行う場合には、無瞬断での切替えが可能である。しかし、現用系伝送路での障害を検出し、伝送路の切替えを装置が自動的に行う場合には、障害を検出して切替えを実行するまでの間、障害のある現用系伝送路のデータをそのまま運用データとして出力してしまうため、データ誤り又はデータの欠落が生じるという欠点があった。

【0010】 また、上述した各特許公報に記載されている公知技術においては、現用系伝送路での障害を検出して伝送路の切替えを行う点についての記載がなく、上記の欠点を解決することはできない。

【0011】 本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は受信データに誤りが発生してもデータ欠落が生じないか、生じても欠落を最小限に抑えることのできるデータ受信装置を提供することである。

【0012】

【課題を解決するための手段】 本発明によるデータ受信装置は、第1及び第2の送信器から夫々出力された同一のデータを夫々保持し、両データの同期をとって夫々出力する第1及び第2のデータ保持手段と、これら出力されたデータを夫々保持する第3及び第4のデータ保持手段と、この夫々保持されたデータの誤りを検出する誤り検出手段と、この検出結果に応じて前記第3及び第4のデータ保持手段からデータを出力するデータ出力手段とを含むことを特徴とする。

【0013】

【作用】 第1及び第2の送信器から夫々出力された同一のデータを夫々保持し、両データの同期をとって夫々出力する。これら出力されたデータを夫々保持し、この夫々保持されたデータの誤りを検出する。この検出結果に

応じて保持されたデータを出力する。その夫々保持されたデータのうちのいずれか一方に誤りがあるとき、誤りのない方のデータを出力する。その夫々保持されたデータの両方に誤りがあるとき、誤りの少ない方のデータを出力する。

【0014】

【実施例】次に、本発明について図面を参照して説明する。

【0015】図1は本発明によるデータ受信装置の一実施例を含むデータ送受信装置の構成を示すブロック図であり、図4と同等部分は同一符号により示されている。

【0016】図において、現用系送信部1及び予備系送信部11は、共にある特定のフレーム同期パターンを有するフレームによって同一のデータを夫々伝送路遅延の異なる現用系伝送路3、予備系伝送路31に送出するものである。そして、フレーム単位で符号誤り監視演算を行うため、現用系送信部1内には演算回路2、予備系送信部11には演算回路21が夫々設けられている。

【0017】受信装置30には無瞬断切替処理部4が設けられており、この処理部4では従来の装置(図4)の場合と同様にバッファメモリを制御することによりフレーム同期が確立される。また、受信装置30は、現用系の伝送路3に対応して設けられ受信したデータを一時的に保持するメモリ8と、予備系の伝送路31に対応して設けられ受信したデータを一時的に保持するメモリ81と、現用系の伝送路3に対応して設けられ受信したデータの誤りを監視する誤り監視回路9と、予備系の伝送路31に対応して設けられ受信したデータの誤りを監視する誤り監視回路91と、メモリ8及び81に出力を択一的に出力する伝送路選択器20と、誤り監視回路9の演算結果900及び誤り監視回路91の演算結果910に応じて選択器20を制御する選択器制御回路10とを含んで構成されている。

【0018】かかる構成において、送信装置側の送信部1、11の各演算回路2、21にて伝送路3、31へ夫々送出する直前のデータに対し、フレーム単位で符号誤り監視演算を行い、フレームの予め割当てられているビットに演算結果を付加した後、そのデータを各伝送路3、31へ送出する。各伝送路3、31を伝搬してきた両系データは無瞬断切替処理部4に入力され、ここでフレーム同期が確立されることにより、両系データの伝送路遅延差が吸収される。

【0019】伝送路遅延差が吸収されることにより同位相となったデータに対し、誤り監視回路9、91において送信部1、11と同一方式の符号誤り監視演算が1フレーム単位で行われ、この演算を行っている間メモリ8、81にデータが蓄えられる。次に、選択器制御回路10は演算結果900及び910をもとにメモリ8、81に夫々蓄えられたデータのうちからデータ誤りのない系をフレーム単位で選択するように選択器20を制御す

る。メモリ8、81に夫々蓄えられたデータ両方に誤りがあった場合は、両者の誤り監視結果同士を比較し、データ誤りの少ない系をフレーム単位で選択するように選択器20を制御する。

【0020】選択器20からは選択されたデータが運用データ500として送出される。

【0021】以上により、たとえ現用系の伝送路を介して受信したデータに誤りがあっても、予備系の伝送路を介して受信したデータを選択して送出することができ、結果として品質の良い伝送システムを無瞬断で実現できるのである。また、現用系及び予備系の伝送路を介して夫々受信したデータ両方に誤りがあったとしても、データ誤りの少ない系のデータを選択して送出することができ、できるだけ品質の良い伝送システムを無瞬断で実現できるのである。

【0022】ここで、図2は図1のデータ受信装置のより詳細な構成を示すブロック図であり、図4と同等部分は同一符号により示されている。

【0023】図中の無瞬断切替処理部4は、図4中のバッファメモリ5及び51、フレーム同期回路6、61及び位相差検出回路7を含んで構成されており、その各部の動作も図4と同様である。したがって、この処理部4から出力されるデータの位相は同位相となる。

【0024】本実施例のデータ受信装置では、上述したように、そのデータに誤りがないかどうかを誤り監視回路9、91において1フレーム単位で監視すると共に、処理部4から出力されるデータをメモリ8、81に夫々保持する。その監視の結果、誤り監視回路9、91は演算結果900及び910を送出すると共に、メモリ8、81に読出タイミングパルス901、911を夫々送出する。

【0025】選択器制御回路10では演算結果900及び910をもとにメモリ8、81に夫々蓄えられたデータのうちからデータ誤りのない系又はデータ誤りの少ない系をフレーム単位で選択するように選択器20を制御する。以上により、たとえ現用系の伝送路を介して受信したデータに誤りがあっても、品質の良い伝送システムを無瞬断で実現できるのである。

【0026】さらに、図3のタイムチャートを参照して図2の各部の動作について説明する。この図には符号誤り監視演算にBIP(Bit Interleaved Parity)方式を使用し、予備系伝送路の方が現用系伝送路より伝送路遅延量が多いと仮定した場合の動作が示されており、図2中の各地点100及び101、200及び201、300及び301、400及び401における各データの様子並びに運用データ500、制御信号110の内容が示されている。

【0027】なお、図においては、斜線部分がフレーム同期パターンであり、このパターンを先頭としてこのパターンに挟まれた部分が1フレームとなる。図中では符

号Fで示されている。そして、DATA#1、DATA#2、DATA#3、…が各フレームデータである。

【0028】まず、送信装置側の現用系送信部1、予備系送信部11のBIP方式を使用した演算回路2、21は伝送路へ送出直前のフレーム同期ビットを有するデータに対し、1フレーム単位でBIP演算を行い、演算結果を予め割当てられているビットに付加する。その後、現用系送信部1、予備系送信部11は、各々に対応して設けられた現用系伝送路3、予備系伝送路31へ同時にデータを送出する（地点100、101）。

【0029】受信装置側においては、無瞬断切替処理部4は、各々の伝送路を伝搬してきた両系データを受信する（地点200、201）。この場合、両系伝送路の遅延量が異なるため、伝送による遅延時間が異なる。すなわち、本例では地点200における遅延時間がTD1、地点201における遅延時間がTD2であり、この伝送路遅延量の差を吸収する処理を無瞬断切替処理部4が行うことで両系の位相を等しくするのである。この結果、無瞬断切替処理部4からは位相の等しいデータが送出される（地点300、301）。

【0030】すなわち、無瞬断切替処理部4では、受信したデータをバッファメモリ5、51へ格納すると共に、位相差検出回路7がフレーム同期回路6、61にて検出したフレームの先頭を示すフレームパルスより到着順及び両系フレームの位相差を計算し、バッファメモリ5、51からの各出力のフレーム位相が同位相となるように出力タイミングの制御を行うのである。

【0031】次に、無瞬断切替処理部4において同位相となった両系データは順次メモリ8、81に格納されると共に、送信側と同様のBIP方式を使用した誤り監視回路9、91においてメモリ8、81に格納したデータに対しBIP演算をフレーム単位で行い、送信側の演算回路2、21で演算して挿入した値と比較することにより伝送路品質を監視し、その監視結果を選択器制御回路10へ出力する。その後、誤り監視回路9、91はBIP演算の間メモリ8、81に格納していたデータを読み出すための読出タイミングパルスを両系同時に送出し、メモリ8、81はこのタイミングで格納していたデータを選択器20へ出力する（地点400、401）。

【0032】この場合、上記のBIP演算及び比較処理を行うため、無瞬断切替処理部4の出力時刻とメモリ8、81からの読出時刻T1（選択器20への入力タイミング）との間には遅延時間TD3が生じる。つまり、この時間TD3が演算及び比較処理時間となる。

【0033】選択器制御回路10は、両系の誤り監視回路9、91からの監視結果を受信し、この結果を比べてBIPエラー数の少ない系、つまり伝送路品質の良い系を選択するよう制御信号110を選択器20へ出力する。本例では予備系のデータを選択する場合には制御信号110を“H”、現用系のデータを選択する場合には

制御信号110を“L”とするものとする。この制御信号110の値に応じて選択器20は現用系及び予備系のデータを択一的に、運用データ500として送出するのである。

【0034】ここで、本例においては、現用系DATA#2及び予備系DATA#4にエラーがあったものとし、これが符号E1、E2で夫々示されている。この結果、制御信号110は当初“L”であり現用系のデータが選択されていたが、現用系DATA#2（符号E1）にエラーがあったため、その後“H”になり予備系のデータが選択される。さらに、予備系DATA#4（符号E2）にエラーがあったため、“L”に戻り再び現用系のデータが選択される。

【0035】要するに、無瞬断切替処理部4にて両系の位相は等しくなっているため、データの欠落なしに系の切替えができ、更にBIP演算を行う間メモリ8、81にデータを格納していることから、選択器20はメモリ8、81から出力されたデータの内、誤り監視回路9、91でのフレーム単位の監視結果からデータ誤りの少ないと判断された系のデータを選択することでデータ誤りの少ない伝送路システムを無瞬断で実現することができるのである。つまり、無瞬断切替により両系同位相となったデータを、誤り検出演算を行う間一時メモリへ格納しておき、送信部で演算して挿入した演算結果と受信側での誤り監視結果を比較した後、データ誤りの少ない系を選択することにより、伝送路品質を向上させることができるのである。

【0036】なお、本実施例では符号誤り監視演算にBIP方式を使用した場合を例に示したが、BIP以外の誤り監視演算方式を使用した場合でも上記と同様の結果を得ることができることは明白である。

【0037】また、フレームデータに限らず、種々のデータについて本発明が適用できることも明白である。

【0038】

【発明の効果】以上説明したように本発明は、伝送路障害を検出して系の切替えを実行するまでの間、メモリにデータを蓄えておき、障害のない系又は障害の少ない系に切替えることにより、データ誤りの少ない伝送システムを無瞬断で実現することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例によるデータ受信装置を含む受信装置の構成を示すブロック図である。

【図2】図1のデータ受信装置のより詳細な構成を示すブロック図である。

【図3】図2中の各部の動作を示すタイムチャートである。

【図4】従来のデータ受信装置の構成を示すブロック図である。

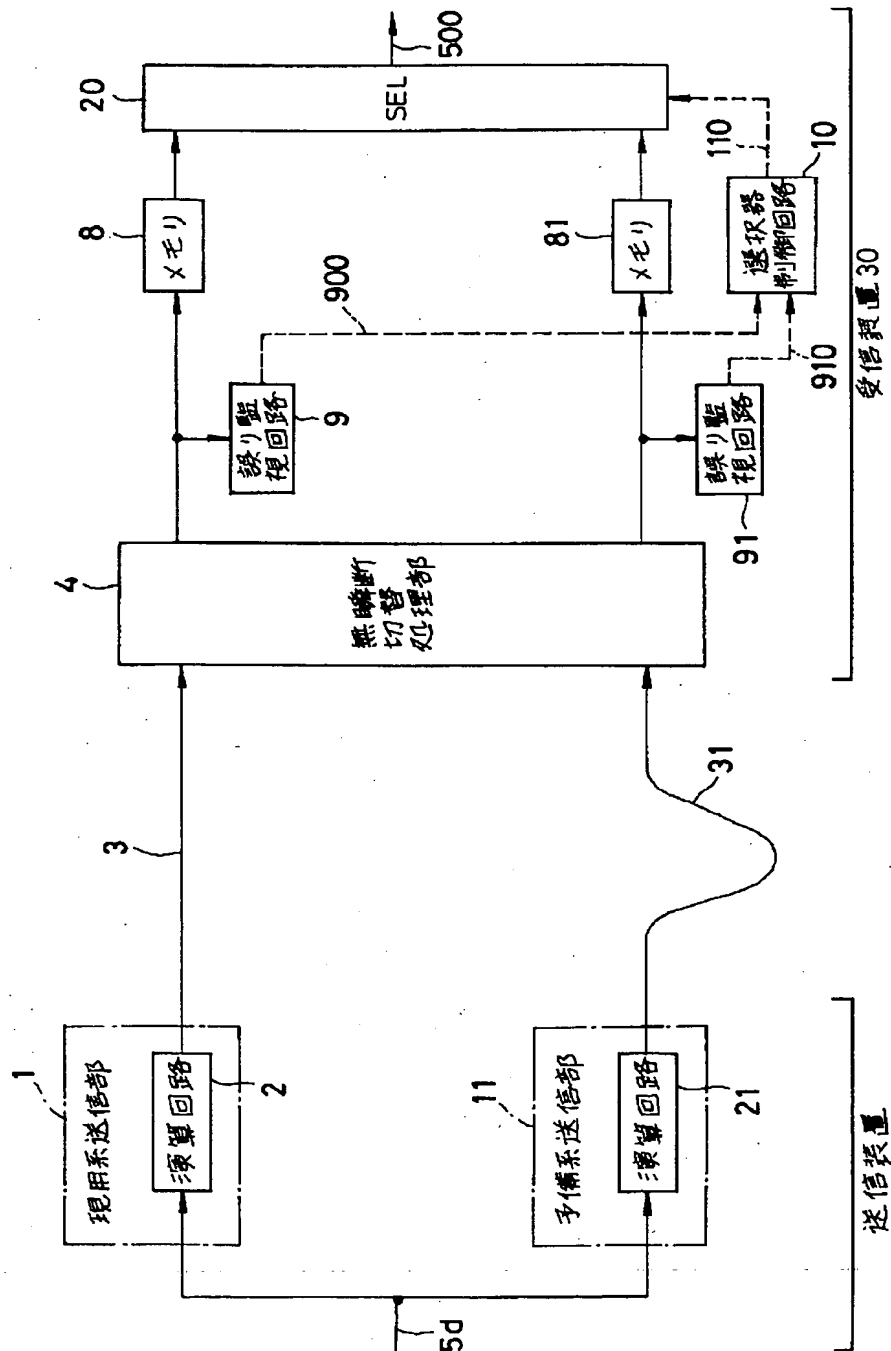
【符号の説明】

2、21 演算回路

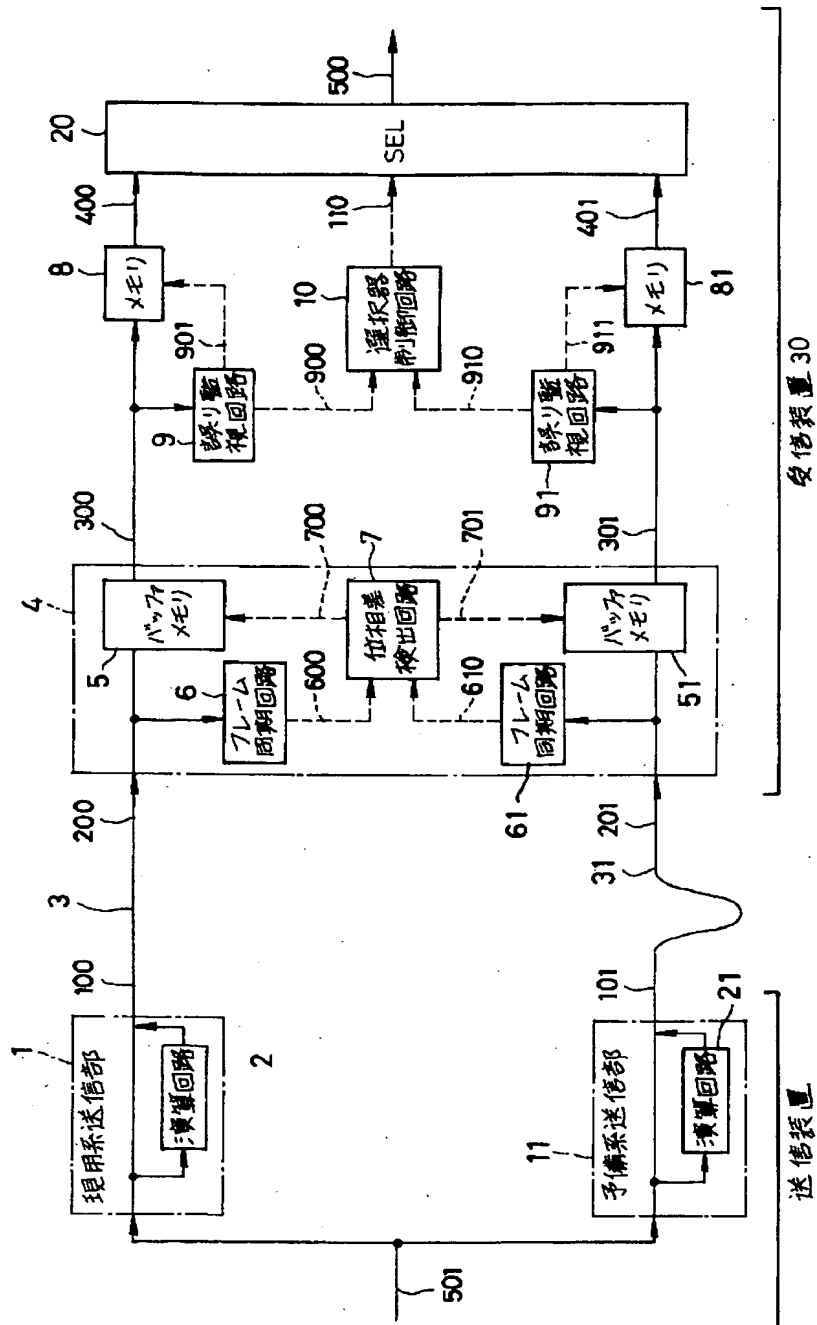
3、31 伝送路
4 無瞬断切替処理部
5、51 バッファメモリ
6、61 フレーム同期回路
7 位相差検出回路

8、81 メモリ
9、91 誤り監視回路
10 選択器制御回路
20 伝送路選択器

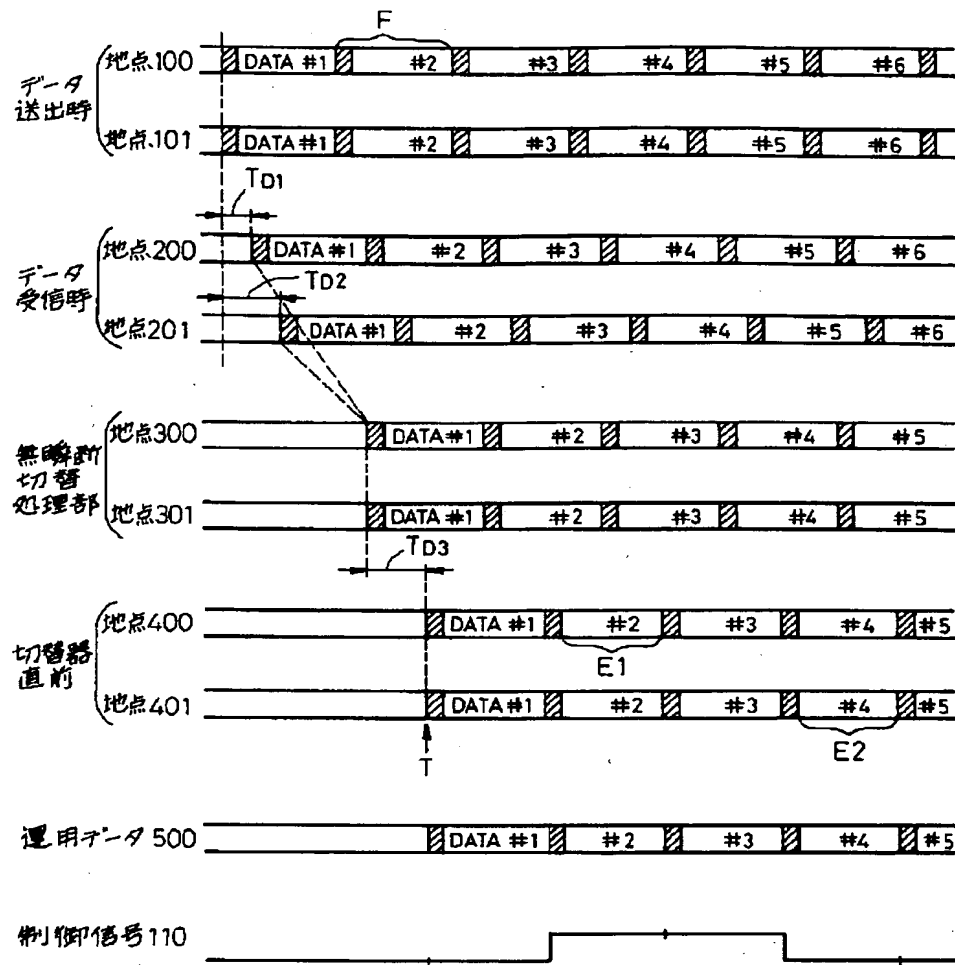
【図1】



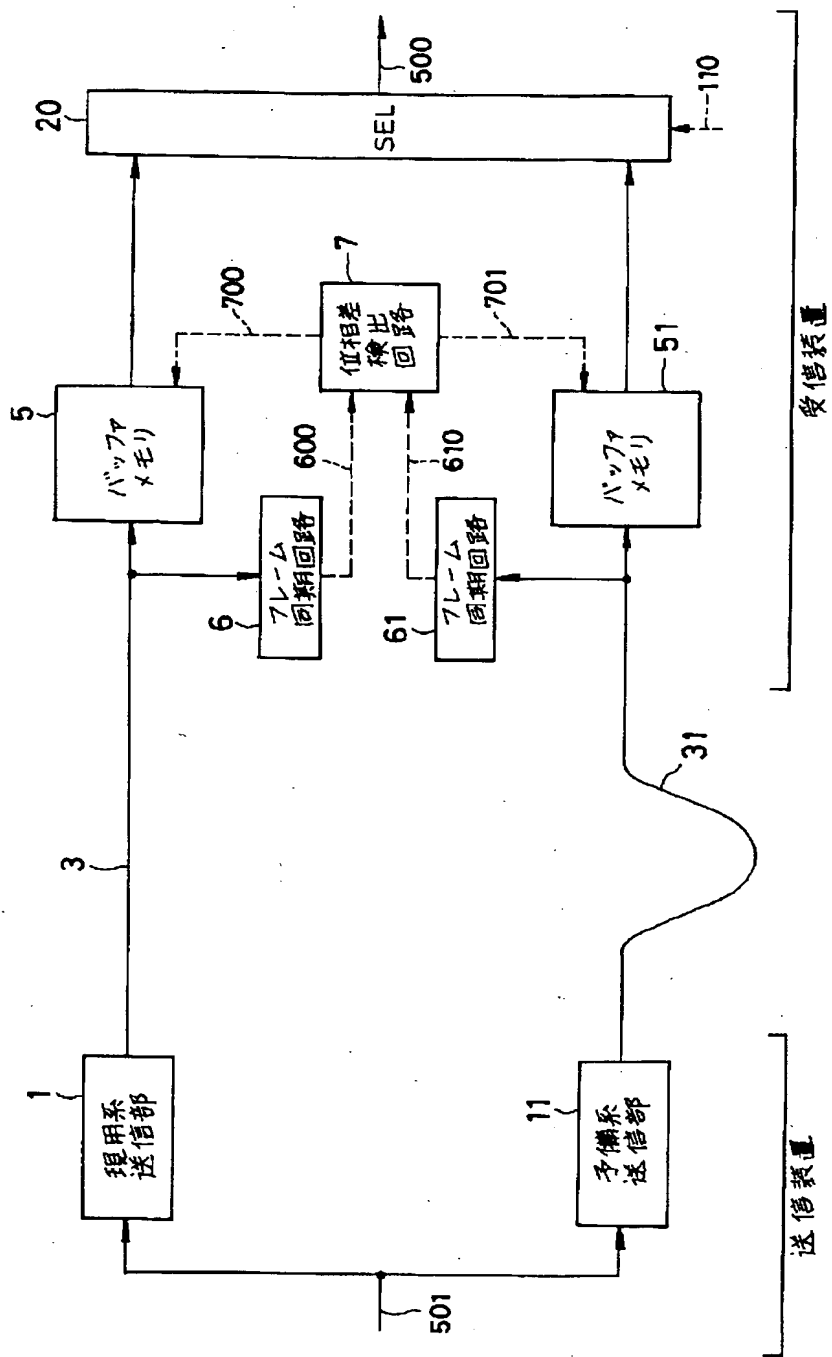
【図 2】



【図 3】



【図4】



MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08149114

(43)Date of publication of application: 07.06.1996

(51)Int.Cl.

H04L 1/22
H04J 3/14
H04L 7/00

(21)Application number: 06281046

(22)Date of filing: 16.11.1994

(71)Applicant:

(72)Inventor:

NEC CORP

URASHITA KEIICHI

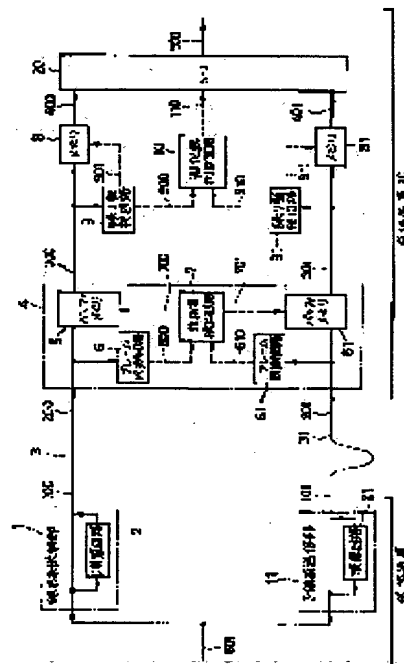
RIKIYAMA HIROKI

(54) DATA RECEIVER

(57)Abstract:

PURPOSE: To prevent the omission of data or to minimize the omission even when an error takes place in received data.

CONSTITUTION: Same data outputted from transmitters 1, 11 are stored in buffer memories 5, 51 and frame synchronization circuits 6, 61 and phase difference detection circuits 7 are used to synchronize both data and they are outputted. The outputted data are stored in memories 8, 81 and error check circuits 9, 91 detect an error of the stored data. A selector 20 is controlled depending on the result of detection and the stored data are outputted alternatively. When any of the stored data has an error, the data without the error are outputted. When both the stored data are in error, the data with fewer error are outputted.



LEGAL STATUS